|  |  |  |  |
| --- | --- | --- | --- |
| Họ tên sinh viên | MSSV | Lớp (thứ - tiết) |  |
|  |  |  |

Chú ý: Sinh viên thay bằng QR code của mã số sinh viên (ví dụ: 23119012), có thể tham khảo tại https://barcode.tec-it.com)

Quick question : chapter 04

*Lưu ý: Trong mỗi thiết kế yêu cầu sinh viên thực hiện*

* *Sơ đồ khối (nguyên lý, cấu trúc)*
* *Bảng trạng thái*
* *Mô tả bằng ngôn ngữ Verilog cho module cần thiết kế,*
* *Mô tả Verilog cho module dùng để kiểm tra thiết kế*
* *Kết quả mô phỏng quá trình kiểm tra, có phân tích*
* *Module test được đặt tên theo cú pháp: tensv\_testbench\_tenmodule, ví dụ để test module encoder, sinh viên Nguyen Van An phải đặt tên module test như sau: An\_testbench\_encoder. Các kết quả mô phỏng phải được chụp màn hình bao gồm cả tên của module test trong đó có tên sinh viên thì mới hợp lệ*

1. Thiết kế và mô phỏng kiểm chứng mạch cộng 4 bít từ mạch cộng toàn phần 1 bit, sử dụng mô tả cấu trúc.
2. Thiết kế và mô phỏng kiểm chứng mạch đa hợp 8 sang 1
3. Thiết kế và mô phỏng kiểm chứng mạch giải đa hợp 1 sang 8
4. Thiết kế và mô phỏng mạch giả mã 3 sang 8 có tín hiệu cho phép (enable –EN) ngõ ra tích cực mức thấp
5. Thiết kế và mô phỏng mạch giả mã 3 sang 8 có tín hiệu cho phép (enable –EN), ngõ ra tích cực mức cao